

# 中華民國專利公報 [19] [12]

[11]公告編號：479170

[44]中華民國 91年(2002) 03月11日

發明

全16頁

[51] Int.Cl<sup>07</sup> : G06F12/16

[54]名稱：記錄／再生裝置，半導體記憶體及使用該半導體記憶體之記憶卡

[21]申請案號：089117826 [22]申請日期：中華民國 89年(2000) 08月31日

[30]優先權：[31]11-357349 [32]1999/12/16 [33]日本

[72]發明人：

片山由香利 日本  
中村一男 日本

[71]申請人：

日立製作所股份有限公司 日本

[74]代理人：林志剛先生

1

[57]申請專利範圍：

1.一種記錄／再生裝置，包含：

一控制器部份，其具有一第一錯誤校正碼產生器，其產生一用以由外部放入資料之第一錯誤校正碼，及一第一錯誤校正器，其藉由使用第一錯誤校正碼，以實施錯誤檢測及校正；及

一半導體記憶體部份，其具有一第二錯誤校正碼產生器，其產生用於由控制器部份所提供之第一錯誤校正碼之第二錯誤校正碼，一記憶體，用以儲存來自控制器部份之資料，一該資料被排除在外之第一錯誤校正碼的第一錯誤校正碼檢查符號，及一第二錯誤校正碼檢查符號，其係為第二錯誤校正碼不包含該資料及第一錯誤校正碼檢查符號，及一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯

2

誤檢測及校正，

其中該第二錯誤校正碼為一相同於第一錯誤校正碼之高氏場中之 BCH 碼並具有一連續根，及該控制器部份藉由使用由第二錯誤校正器所提供之錯誤校正結果來執行錯誤校正。

2.一種記錄／再生裝置，包含：

一控制器部份，其具有一外部界面，其與外部交換資料，一第一錯誤校正碼產生器，其產生一用於輸入資料之第一錯誤校正碼，及一第一錯誤校正器，其藉由使用該第一錯誤校正碼，以實施錯誤檢測及校正；及

一半導體記憶體部份，其具有一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，該碼係為與第一錯誤校正碼之相同高氏場中之 BCH 碼並具有連續根，該第二錯誤校正碼

- 係用於由控制器部份所提供之第一錯誤校正碼，一記憶體，用以儲存來自控制器部份之資料，一該資料被排除在外之第一錯誤校正碼的第一錯誤校正碼檢查符號，及一第二錯誤校正碼檢查符號，其係為第二錯誤校正碼不包含該資料及第一錯誤校正碼檢查符號，及一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正，其中該控制器部份藉由使用由半導體記憶體部份所提供之錯誤校正結果來執行錯誤校正。
- 3.如申請專利範圍第2項所述之記錄／再生裝置，其中該校正結果包含資訊有關是否該第二錯誤校正器已經校正該資料及第一錯誤校正碼檢查符號，有關中間錯誤校正計算之資訊，有關檢出錯誤位置及錯誤值之資訊，及由記憶體讀出之資料及第一錯誤校正碼檢查符號。
- 4.如申請專利範圍第2項所述之記錄／再生裝置，其中該校正結果包含有關是否第二錯誤校正器已經校正該資料及第一錯誤校正碼檢查符號之資訊，及資料及由第二錯誤校正器所校正之第一錯誤校正碼檢查號之資訊。
- 5.一種記錄／再生裝置，包含：  
一控制器部份，其具有一外部界面，其與外部交換資料，一第一錯誤校正碼產生器，其產生一用於輸入資料之第一錯誤校正碼，及一第一錯誤校正器，其藉由使用該第一錯誤校正碼，以實施錯誤檢測及校正；及  
一半導體記憶體部份，其具有一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，該碼係為與第一錯

- 誤校正碼之相同高氏場中之BCH碼並具有連續根，該第二錯誤校正碼係用於由控制器部份所提供之第一錯誤校正碼，一記憶體，用以儲存來自控制器部份之資料，一該資料被排除在外之第一錯誤校正碼的第一錯誤校正碼檢查符號，及一第二錯誤校正碼檢查符號，其係為第二錯誤校正碼不包含該資料及第一錯誤校正碼檢查符號，一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正，一校正資訊指示器，其指示是否該第二錯誤校正器已經校正該資料及第一錯誤校正碼檢查符號之資訊，中間錯誤校正計算之資訊及所檢測錯誤位置及錯誤值之資訊給第一錯誤校正器，及一資料送出器，其送出該資料及由該記憶體所讀出之第一錯誤校正碼檢查符號或者由該第二錯誤校正器所校正之資料及該第一錯誤校正碼檢查符號至該第一錯誤校正器，  
其中該第一錯誤校正器藉由使用由資料送出器所提供之資料及第一錯誤校正碼檢查符號檢測一錯誤，若該第二錯誤校正器已經校正該資料，則藉由使用該錯誤位置及錯誤值，回復該未錯誤校正之資料，若於所回復資料及第一錯誤校正碼檢查符號中，檢出錯誤，則藉由使用該第一錯誤校正碼檢查符號及計算資訊，實施回復資料之錯誤校正，並藉由使用該第一錯誤校正碼施行該錯誤檢測，或者，若該第二錯誤校正器未能資料校正，則將藉由使用第一錯誤校正碼檢查符號及計算資訊，以作為錯誤未校正資料之錯誤校正，若錯誤校正失敗，則藉由

- 使用第一錯誤校正碼檢查符號，作該已回復資料或未錯誤校正資料之錯誤校正。
- 6.如申請專利範圍第5項所述之記錄／再生裝置，其中該BCH碼為一RS碼。
  - 7.如申請專利範圍第5項所述之記錄／再生裝置，其中該計算資訊包含一殘留多項式，其係為由第二錯誤校正碼之碼多項式為產生多項式所除之殘留結果，或者由替代產生多項式之根成為第二錯誤校正碼之碼多項式之症狀結果。
  - 8.一種記錄／再生裝置，包含：  
一控制器部份，其具有一外部界面，其與外部交換資料，一第一錯誤校正碼產生器，其產生一用於輸入資料之第一錯誤校正碼，及一第一錯誤校正器，其藉由使用該第一錯誤校正碼，以實施錯誤檢測及校正；及  
一半導體記憶體部份，其具有一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，該碼係為與第一錯誤校正碼之相同高氏場中之BCH碼並具有連續根，該第二錯誤校正碼係用於由控制器部份所提供之第一錯誤校正碼，一記憶體，用以儲存來自控制器部份之資料，一該資料被排除在外之第一錯誤校正碼的第一錯誤校正碼檢查符號，及一第二錯誤校正碼檢查符號，其係為第二錯誤校正碼不包含該資料及第一錯誤校正碼檢查符號，一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正，其中，該控制器部份於檢測出錯誤時，基於該第一錯誤校正碼檢查符號及由半導體記憶體部份所提供之

- 計算資訊，實行該錯誤校正，並於未能錯誤校正時，藉由使用該第一錯誤校正碼檢查符號，來實行用於由記憶體讀出之資料之錯誤校正。
5. 9.如申請專利範圍第8項所述之記錄／再生裝置，其中為該半導體記憶體部份所提供之控制器部份之資訊包含有關是否一錯誤已經被檢出之資訊及有關是否錯誤校正已經完成否之資訊。
  10. 10.一種記錄／再生裝置，包含：  
一控制器部份，其具有一外部界面，其與外部交換資料，一第一錯誤校正碼產生器，其產生一用於輸入資料之第一錯誤校正碼，及一第一錯誤校正器，其藉由使用該第一錯誤校正碼，以實施錯誤檢測及校正；及  
一半導體記憶體部份，其具有一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，該碼為與第一錯誤校正碼之相同高氏場中之BCH碼並具有連續根，該第二錯誤校正碼係用於由控制器部份所提供之第一錯誤校正碼，一記憶體，用以儲存來自控制器部份之資料，一該資料被排除在外之第一錯誤校正碼的第一錯誤校正碼檢查符號，及一第二錯誤校正碼檢查符號，其係為第二錯誤校正碼不包含該資料及第一錯誤校正碼檢查符號，一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正，一資訊指示器，其指示是否該第二錯誤校正器已經檢測出一錯誤之資訊，是否該資料及第一錯誤校正碼檢查符號已經被校正否之資訊，及中間錯誤校正計算之資訊給第一錯誤校正器，及一資料送出器，其送出該
  15. 20. 25. 30. 35. 40.

資料及由該記憶體所讀出之第一錯誤校正碼檢查符號及該資料及為該第二錯誤校正器所校正之資料及該第一錯誤校正碼檢查符號給該第一錯誤校正器，

其中，當藉由使用第一錯誤校正碼檢查符號，第二錯誤校正器未檢測一錯誤而檢測出由記憶體出之資料中有錯誤時，或當藉由使用第一錯誤校正碼檢測符號，該第二錯誤校正器已經未能作資料校正而檢測出由記憶體讀出之資料中之一錯誤時，或當藉由使用於已被第二錯誤校正器所校正之資料中之第一錯誤校正碼檢查符號，第二錯誤校正器已經檢測出一錯誤時，該第一錯誤校正器嘗試藉由使用第一錯誤校正碼檢查符號及計算資訊，進行由記憶體讀出之資料之錯誤校正，及，若錯誤校正失敗時，嘗試藉由使用第一錯誤校正碼檢測符號，作由記憶體讀出資料之錯誤校正。

11.如申請專利範圍第10項所述之記錄／再生裝置，其中該BCH碼為一RS碼。

12.如申請專利範圍第10項所述之記錄／再生裝置，其中該計算資訊包含一殘留多項式，其係為由第二錯誤校正碼之碼多項式為產生多項式所除之殘留結果，或者由替代產生多項式之根成為第二錯誤校正碼之碼多項式之症狀結果。

13.一種半導體記憶體，包含：  
一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，該碼係為與第一錯誤校正碼之相同高氏場中之BCH碼並具有連續根，該第二錯誤校正碼係用於由第一錯誤校正器所提供之第一錯誤校正碼，一記憶體，用以儲存該資料及該第一及第

二錯誤校正碼檢查符號，一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正，  
5. 一校正資訊指示器，其指示是否該第二錯誤校正器已經校正該資料及第一錯誤校正碼檢查符號之資訊，中間錯誤校正計算之資訊及所檢測錯誤位置及錯誤值之資訊給第一錯誤校正器，及一資料送出器，其送出該資料及由該記憶體所讀出之第一錯誤校正碼檢查符號或者為該第二錯誤校正器所校正之資料及該第一錯誤校正碼檢查符號至該第一錯誤校正器。

14.如申請專利範圍第13項所述之半導體記憶體，其中該BCH碼為一RS碼。

15.如申請專利範圍第13項所述之半導體記憶體，其中該計算資訊包含一殘留多項式，其係為由第二錯誤校正碼之碼多項式為產生多項式所除之殘留結果，或者由替代產生多項式之根成為第二錯誤校正碼之碼多項式之症狀結果。

16.一種半導體記憶體，包含：  
一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，該碼係為與第一錯誤校正碼之相同高氏場中之BCH碼並具有連續根，該第二錯誤校正碼係用於由第一錯誤校正器所提供之第一錯誤校正碼，一記憶體，用以儲存該資料及該第一及第二錯誤校正碼檢查符號，一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正，  
30. 一資訊指示器，其指示是否該第二錯誤校正器已經檢測出一錯誤之資訊，是否已校正該資料及第一錯誤

35. 一資訊指示器，其指示是否該第二錯誤校正器已經檢測出一錯誤之資訊，是否已校正該資料及第一錯誤

40. 一資訊指示器，其指示是否該第二錯誤校正器已經檢測出一錯誤之資訊，是否已校正該資料及第一錯誤

校正碼檢查符號之資訊，中間錯誤校正計算之資訊給第一錯誤校正器，及一資料送出器，其送出該資料及由該記憶體所讀出之第一錯誤校正碼檢查符號及該資料及為該第二錯誤校正器所校正之第一錯誤校正碼檢查符號給該第一錯誤校正器。

17.如申請專利範圍第 16 項所述之半導體記憶體，其中該 BCH 碼為一 RS 碼。

18.如申請專利範圍第 16 項所述之半導體記憶體，其中該計算資訊包含一殘留多項式，其係為由第二錯誤校正碼之碼多項式為產生多項式所除之殘留結果，或者由替代產生多項式之根成為第二錯誤校正碼之碼多項式之症狀結果。

19.一種半導體記憶體，其以處理資料之單位資料大小，執行錯誤校正編碼，該資料係予以由該半導體記憶體讀出或寫入至該半導體記憶體，並以抹除之單位資料大小來執行資料抹除，該抹除單位資料大小係為處理單位資料大小之兩倍或兩倍以上。

20.一種記憶卡包含：

一卡控制器部份，具有第一錯誤校正碼產生器，其產生一用於由外部放入之資料的第一錯誤校正碼，及一第一錯誤校正器，其藉由使用第一錯誤校正碼，來實行錯誤檢測及校正；

一半導體記憶體部份，包含一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，用於該資料及由卡控制器部份所提供之第一錯誤校正碼，一記憶體，用以儲存來自該卡控制器部份之資料，一為不包含該資料之第一錯誤校正碼的第一錯誤

校正碼檢查符號，及一為不包含該資料及第一錯誤校正碼檢查符號之第二錯誤校正碼之第二錯誤校正碼檢查符號，及一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正；及

一連接部份，其與一外部裝置作資料交換，

其中該第二錯誤校正碼為於相同於第一錯誤校正碼之高氏場中之 BCH 碼並具有連續根，及該卡控制器部份使用由第二錯誤校正器所提供之錯誤校正結果，來執行錯誤校正。

15. 21.一種記憶卡，包含：

一卡控制器部份，其具有一外部界面，其與外部交換資料，一第一錯誤校正碼產生器，其產生一用於輸入資料之第一錯誤校正碼，及一第一錯誤校正器，其藉由使用該第一錯誤校正碼，以實施錯誤檢測及校正；及

一半導體記憶體部份，其具有一第二錯誤校正碼產生器，其產生一第二錯誤校正碼，該碼為與第一錯誤校正碼之相同高氏場中之 BCH 碼並具有連續根，該第二錯誤校正碼係用於該資料及由卡控制器部份所提供之第一錯誤校正碼，一記憶體，用以儲存來自卡控制器部份之資料，一該資料被排除在外之第一錯誤校正碼的第一錯誤校正碼檢查符號，及一第二錯誤校正碼檢查符號，其係為第二錯誤校正碼不包含該資料及第一錯誤校正碼檢查符號，及一第二錯誤校正器，其使用該由記憶體讀出之資料及第一及第二錯誤校正碼檢查符號，來實行錯誤檢測及校正，及

一連接部份，其與一外部裝置作資料交換，

料交換，

其中，該卡控制器部份，當檢測出一錯誤時，基於該第一錯誤校正碼檢查符號及由該半導體記憶體部份所提供之計算資訊，實施錯誤校正，當未能作錯誤校正時，藉由使用第一錯誤校正碼檢查符號，實施用於由記憶體讀出之資料的錯誤校正。

#### 22.一種記憶卡，包含：

一微處理機，具有一界面作動以與外部作資料交換；及  
一半導體記憶體，具有一錯誤校正功能。

#### 圖式簡單說明：

第 1 圖為基於本發明之快閃記憶碟之第一實施例方塊圖；

第 2 圖為示於第 1 圖之快閃記憶晶片之詳細方塊圖；

第 3 圖為示於第 1 圖之快閃記憶體碟之資料格式之概念圖；

第 4 圖為示於第 1 圖之晶片上型 ECC 電路之讀取操作流程圖；

第 5 圖為用以解釋由其他碼看見之錯誤位置及由內碼看見之錯誤位置之資料格式概念圖；

第 6 圖為示於第 1 圖之控制器中之 ECC 電路之讀取操作流程圖；

第 7 圖為示出基本發明之快閃記

憶晶片之第二實施例之詳細方塊圖；

第 8 圖為示於第 7 圖之晶片上型 ECC 電路之讀取操作流程圖；

第 9 圖為示於第 7 圖之控制器中之 ECC 電路之讀取操作流程圖；

第 10 圖為利用本發明之快閃記憶卡之 MPEG 照相機的一實施例之前視圖；

第 11 圖為一方塊圖，示出基於本發明之快閃記憶卡之一實施例；

第 12 圖為示於第 11 圖之快閃記憶卡之資料格式之概念圖；

第 13A 圖為示於第 11 圖之快閃記憶卡之設計程序之流程圖；及第 13B 圖為快閃記憶卡之方塊圖；

第 14 圖為利用本發明快閃記憶卡之攜帶型終端裝置之一實施例的立體圖；

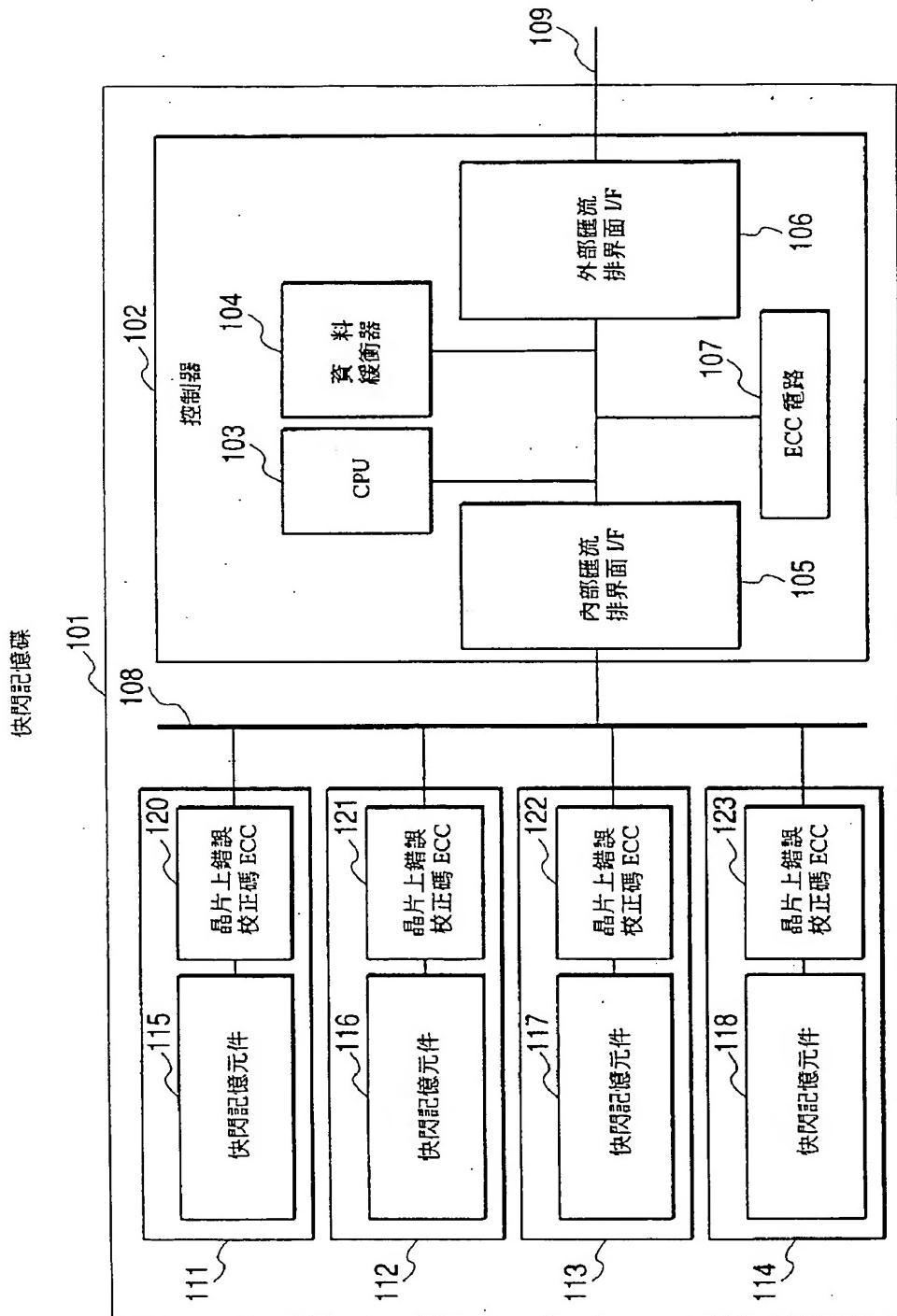
第 15 圖為利用本發明之快閃記憶卡之攜帶型記錄／再生裝置之一實施例的立體圖；

第 16 圖為基於本發明之快閃記憶卡之另一實施例的方塊圖；

第 17 圖為一概念圖，其示出示於第 16 圖之快閃記憶卡之資料格式；及

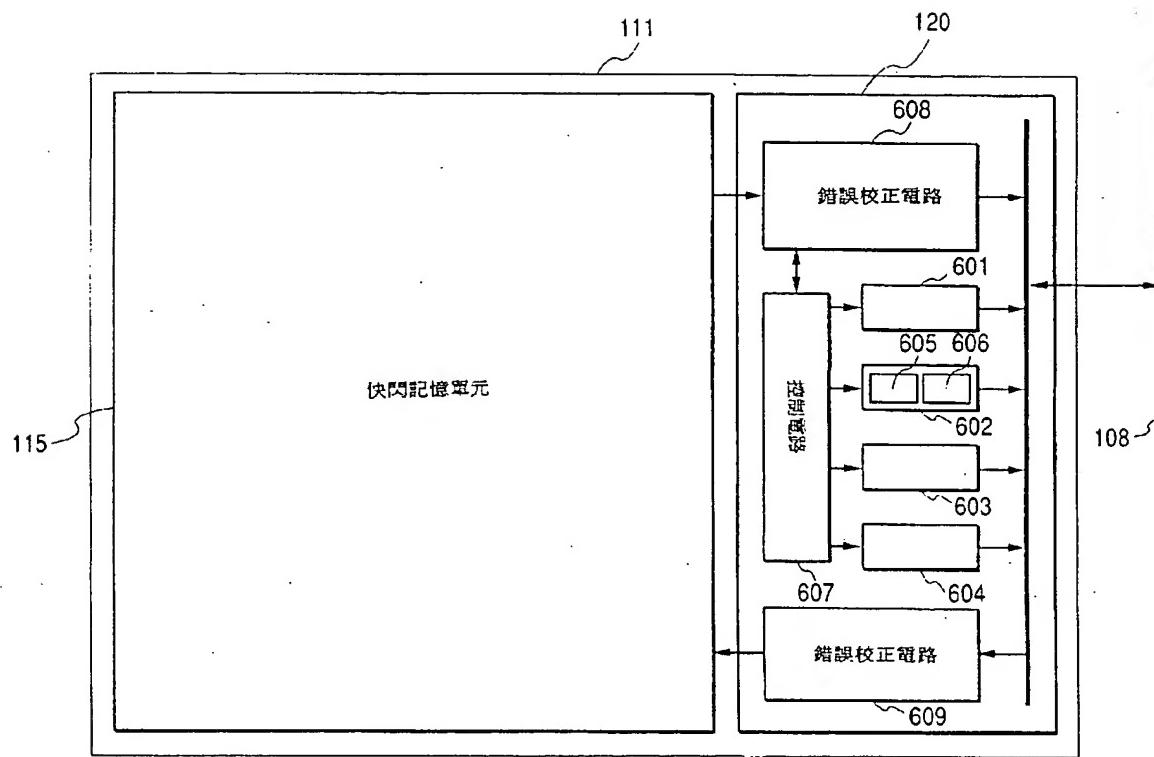
第 18A 圖為傳統快閃記憶卡之設計程序流程圖，及第 18B 圖為傳統快閃記憶卡之方塊圖。

(7)

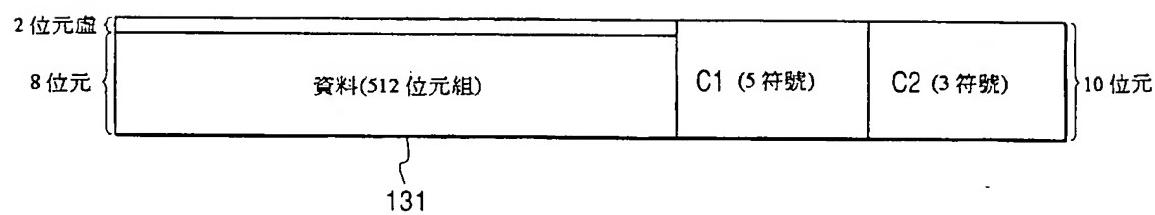


第 1 圖

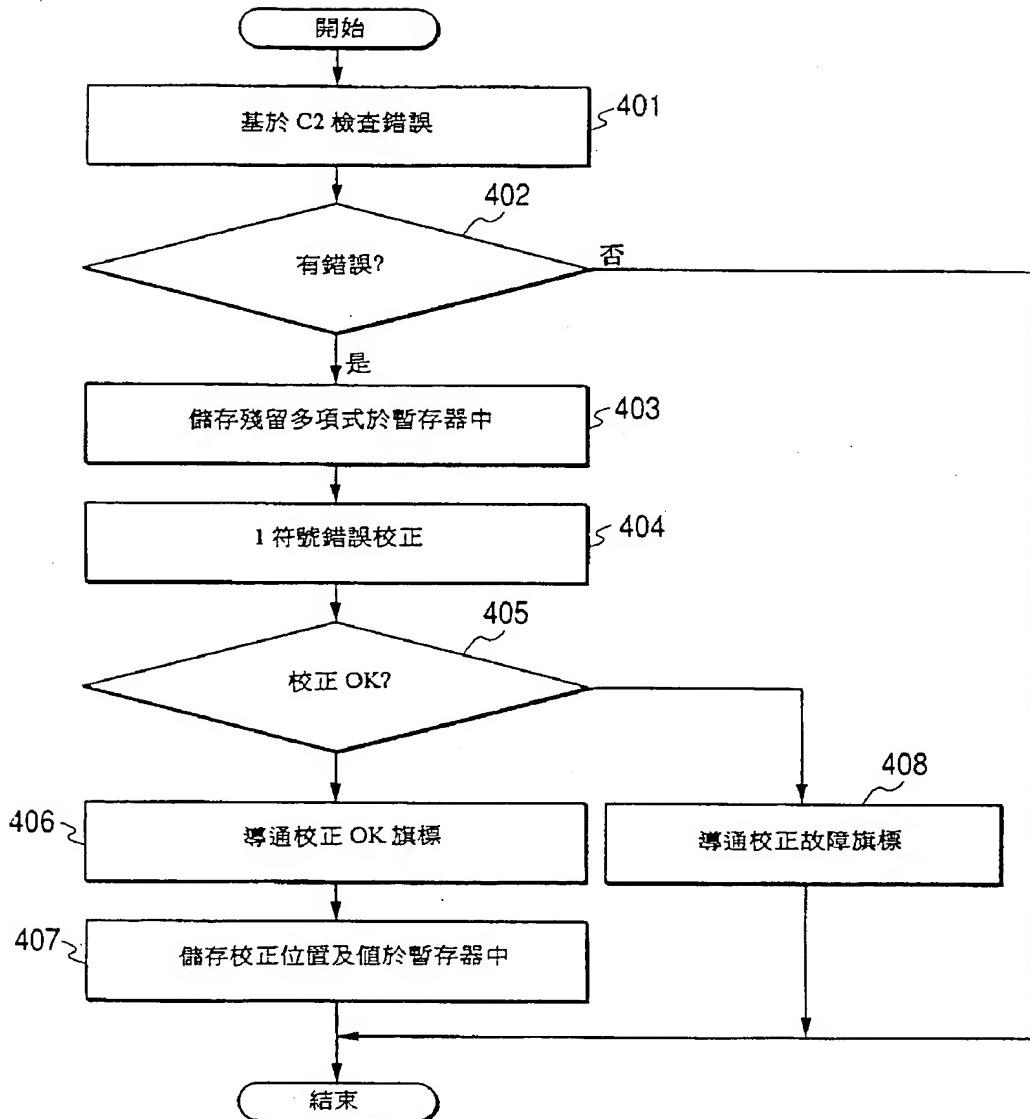
(8)



第 2 圖

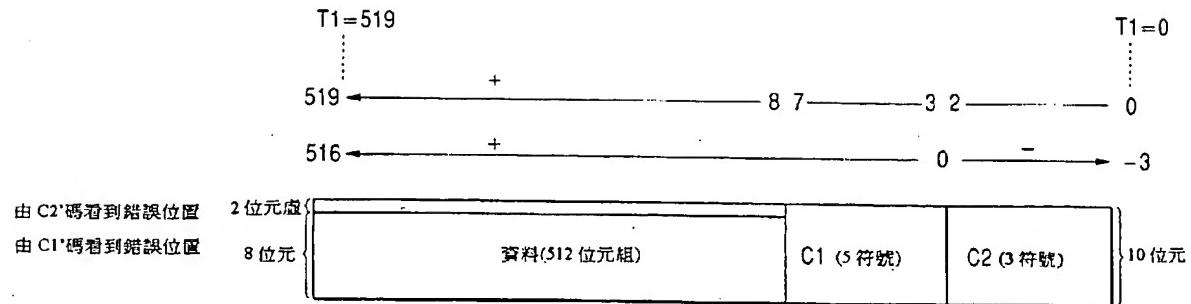


第 3 圖

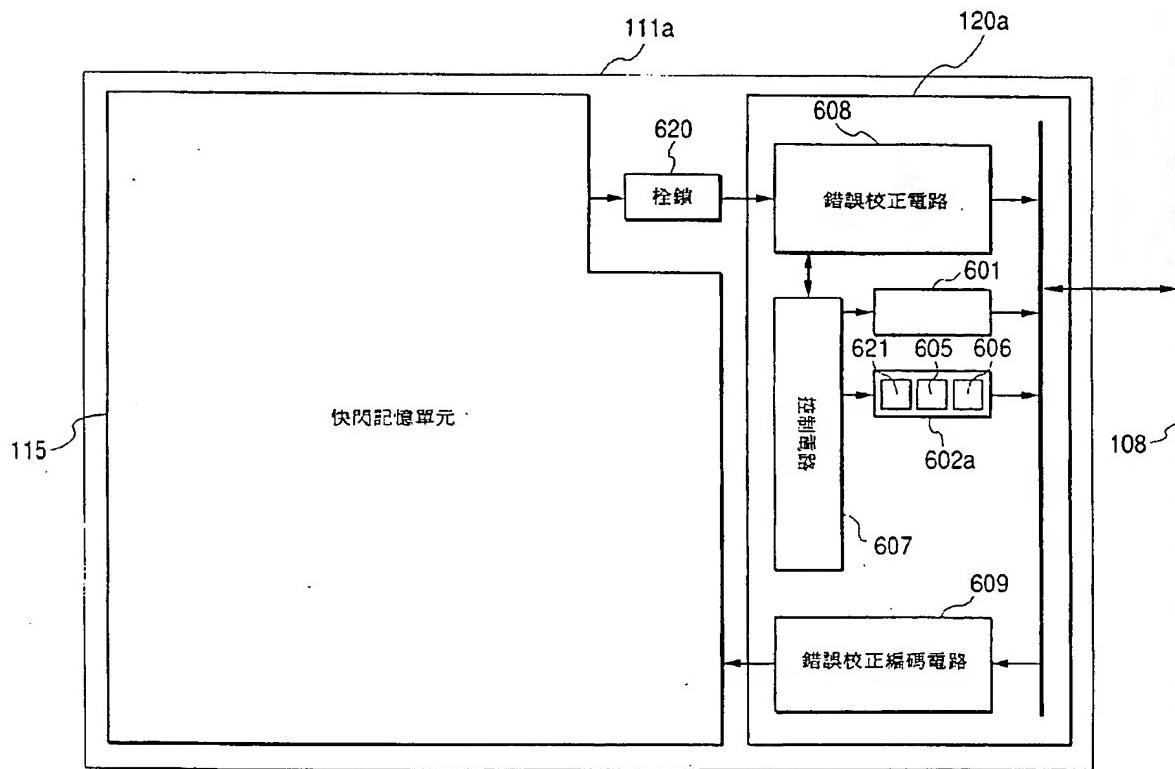


第 4 圖

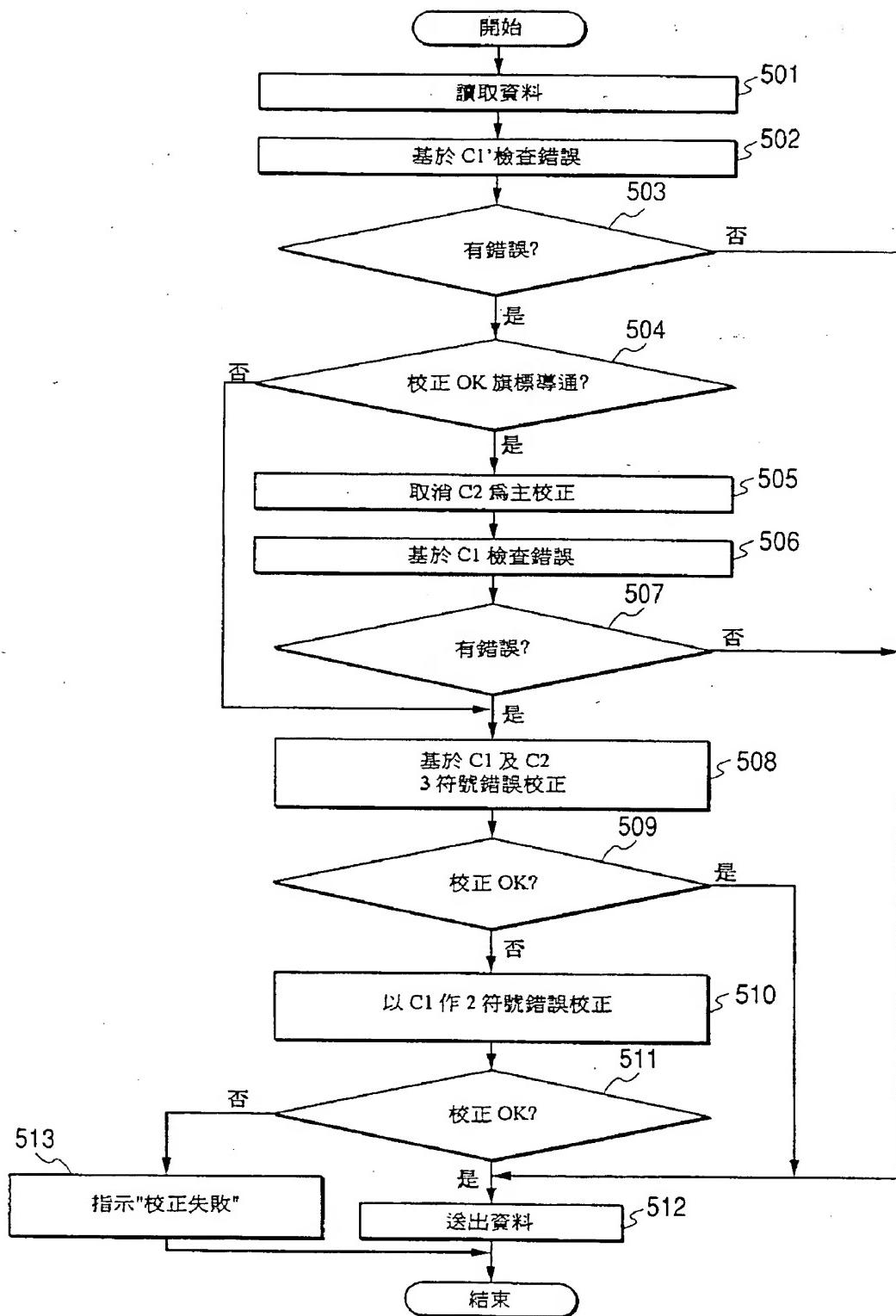
(10)



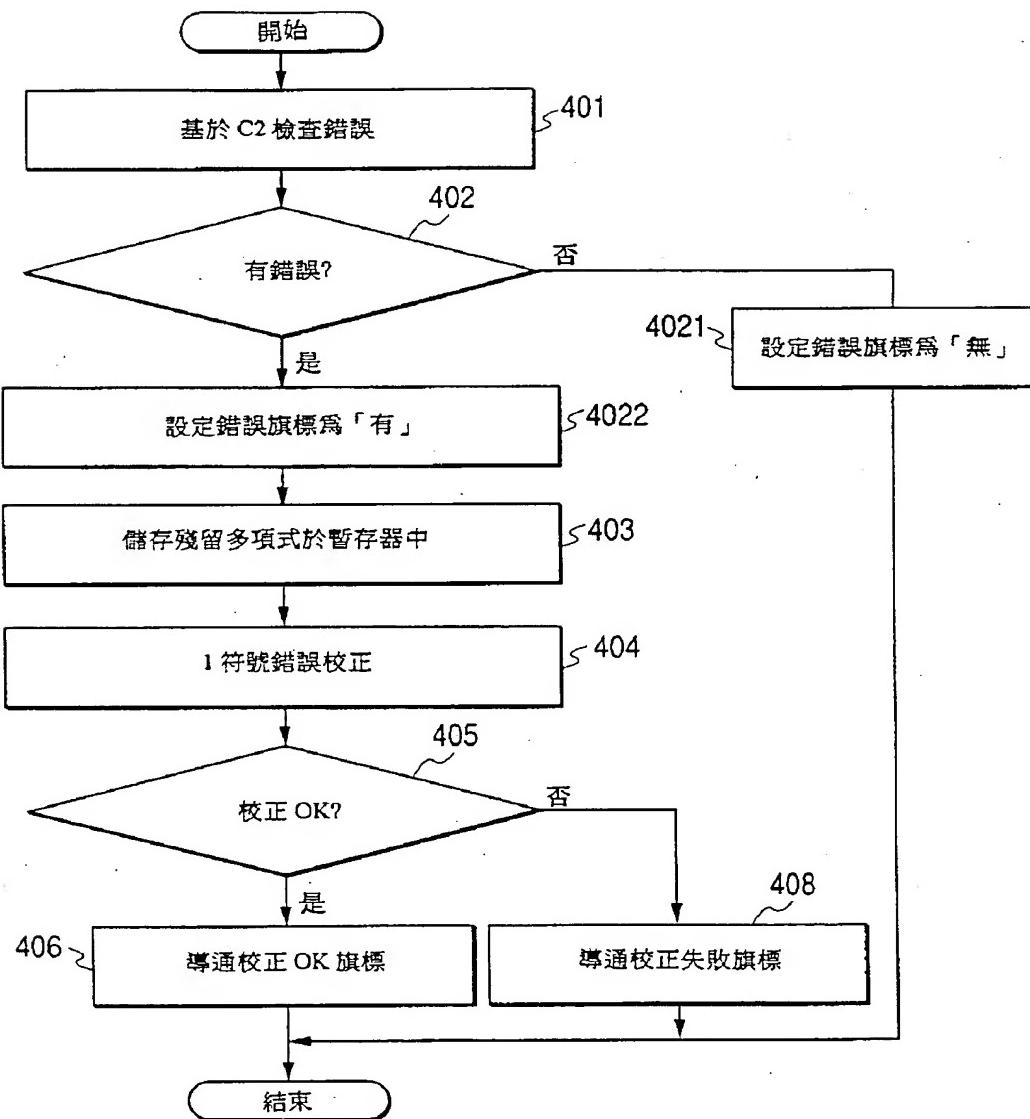
第 5 圖



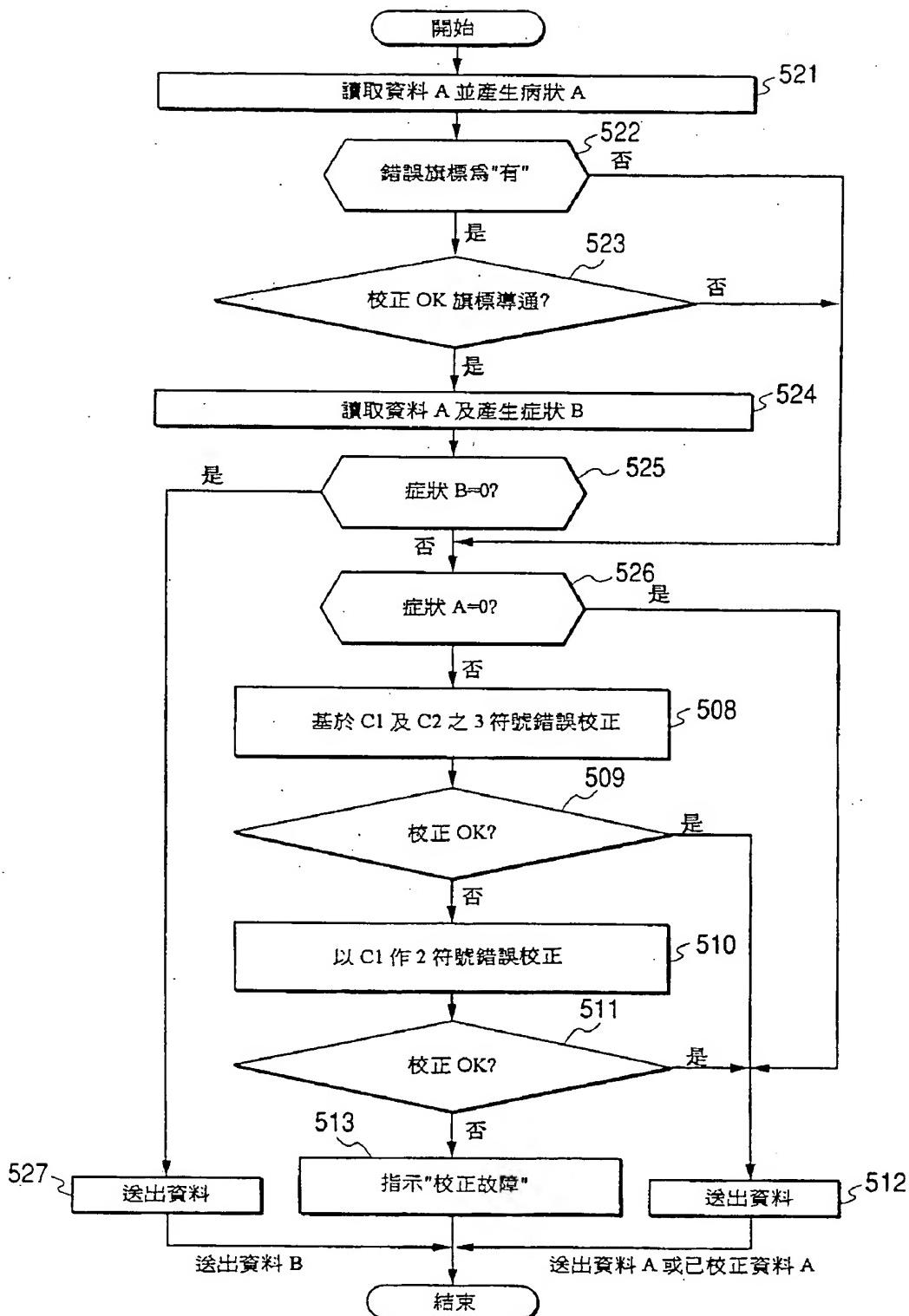
第 7 圖



第 6 圖

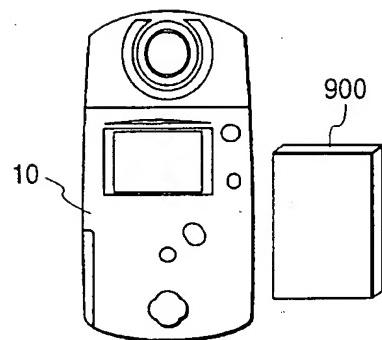


第 8 圖

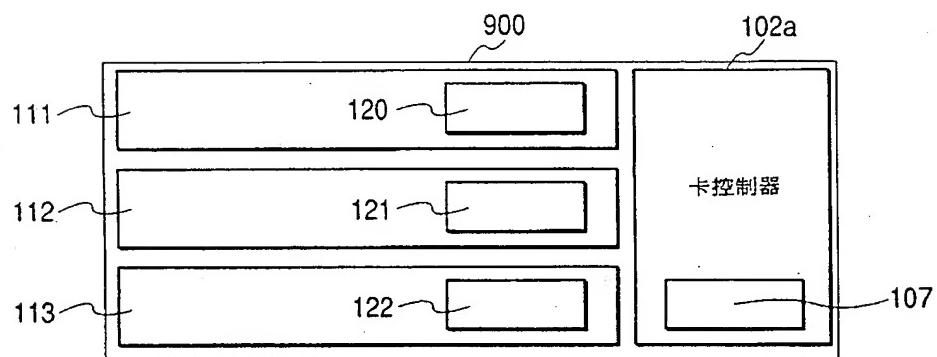


第 9 圖

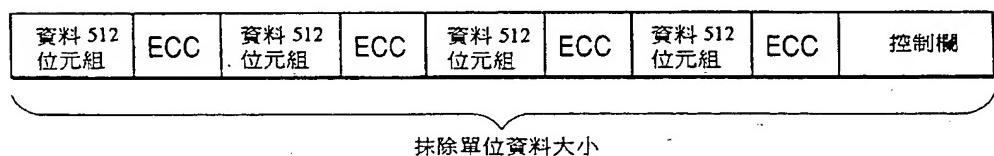
(14)



第 10 圖

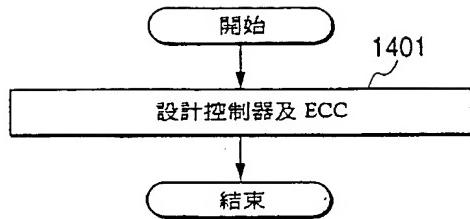


第 11 圖

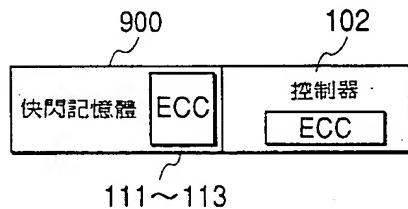


第 12 圖

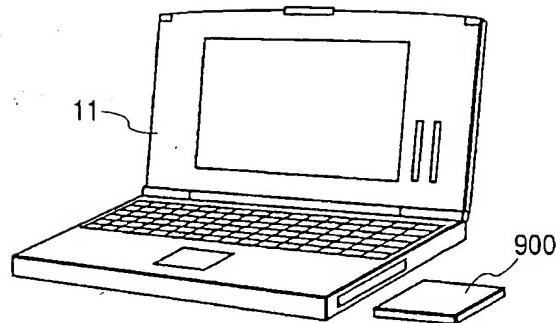
(15)



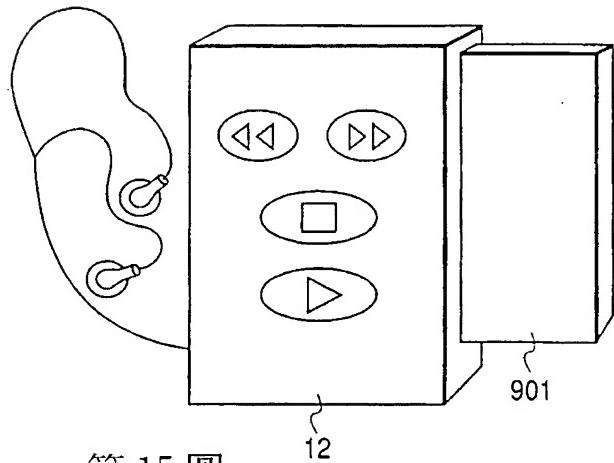
第 13A 圖



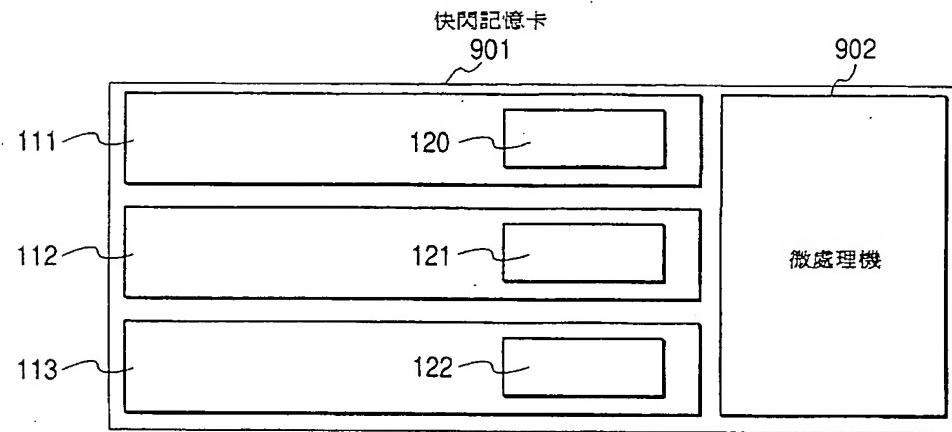
第 13B 圖



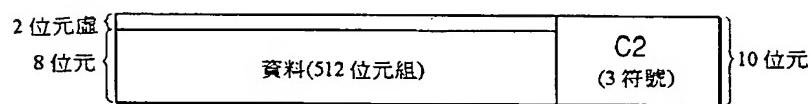
第 14 圖



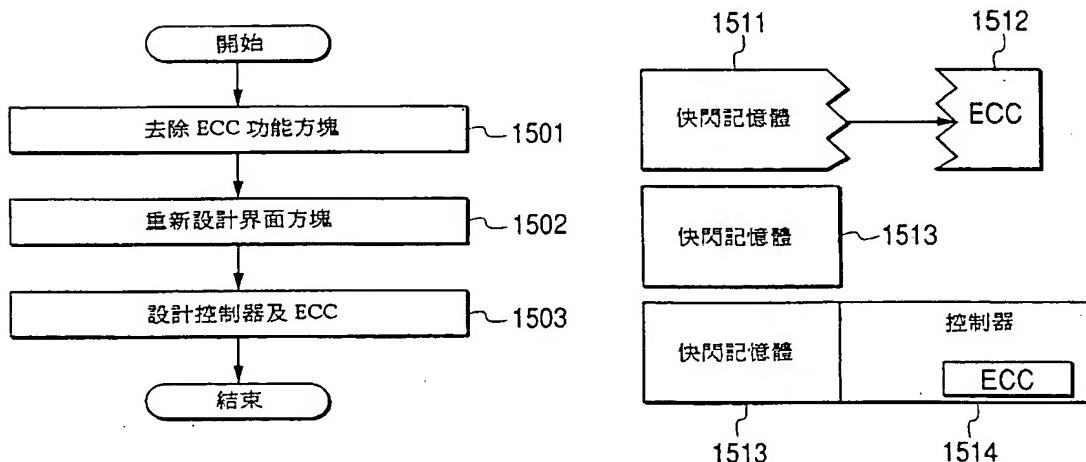
第 15 圖



第 16 圖



第 17 圖



第 18A 圖

第 18B 圖